

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97638

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl. ⁸	識別記号	F I
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10 4 5 1
21/762		21/76 D
27/108		27/10 6 2 5 C
21/8242		6 5 1
21/8247		29/78 3 7 1

審査請求 未請求 請求項の数19 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平9-251543

(22) 出願日 平成9年(1997) 9月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川久保 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 福島 伸

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

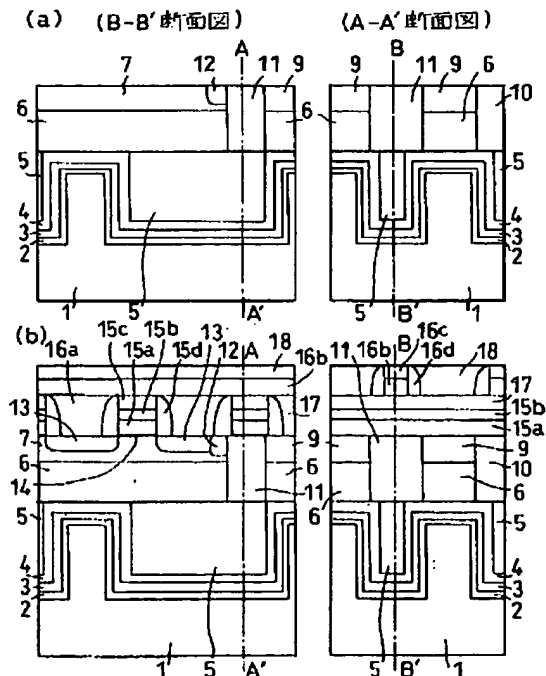
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 エピタキシャル成長した誘電体膜を有するキャパシタを使用した半導体メモリにおいて、信頼性が高くかつ超高集積化が可能なメモリセルを提供すること。

【解決手段】 シリコン基板1表面に形成された溝の(100)方位の内壁面に形成した、(100)方位を持つ第一の電極3、誘電膜4、第二の電極5から構成されたキャパシタと、絶縁膜6を介して前記キャパシタの上部に形成されたシリコン層7に形成されたトランジスタとを有する半導体記憶装置。



1

【特許請求の範囲】

【請求項1】 シリコン基板表面に形成され、シリコンの{100}面で構成された内面を有する溝と、この溝の内部にエピタキシャル成長により形成された第1の電極と、この第1の電極を覆うように前記溝の内部にエピタキシャル成長により形成された誘電体膜と、この誘電体膜上に形成された第2の電極とから構成されているキャパシタと、このキャパシタに対して電気的に接続されたトランジスタとを備えたことを特徴とする半導体記憶装置。

【請求項2】 前記トランジスタは前記キャパシタ上に絶縁膜を介して形成され、前記トランジスタのソース及びドレイン電極の一方は前記キャパシタの前記第2の電極と電気的に接続されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記キャパシタの前記第1の電極の少なくとも一部が、立方晶結晶の{100}面又は正方晶結晶の{001}面で構成されていることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前記キャパシタの前記誘電体膜の少なくとも一部が、立方晶ペロブスカイト結晶の{100}面又は正方晶若しくは層状ペロブスカイト結晶の{001}面で構成されていることを特徴とする請求項1乃至3記載の半導体記憶装置。

【請求項5】 前記誘電体膜が一般式 ABO_3 で表され、AはBa、Sr、Caからなる群より選ばれた少なくとも1種であり、BはTi、Zr、Hf、Sn、 $(Mg_{1/3}Nb_{2/3})$ 、 $(Mg_{1/3}Ta_{2/3})$ 、 $(Zn_{1/3}Nb_{2/3})$ 、 $(Zn_{1/3}Ta_{2/3})$ 、 $(Mg_{1/2}Te_{1/2})$ 、 $(Co_{1/2}W_{1/2})$ 、 $(Mg_{1/2}W_{1/2})$ 、 $(Mn_{1/2}W_{1/2})$ 、 $(Sc_{1/2}Nb_{1/2})$ 、 $(Mn_{1/2}Nb_{1/2})$ 、 $(Sc_{1/2}Ta_{1/2})$ 、 $(Fe_{1/2}Nb_{1/2})$ 、 $(In_{1/2}Nb_{1/2})$ 、 $(Fe_{1/2}Ta_{1/2})$ 、 $(Cd_{1/3}Nb_{2/3})$ 、 $(Co_{1/3}Nb_{2/3})$ 、 $(Ni_{1/3}Nb_{2/3})$ 、 $(Co_{1/3}Ta_{2/3})$ 、 $(Ni_{1/3}Ta_{2/3})$ からなる群より選ばれた少なくとも1種であるペロブスカイト型結晶からなることを特徴とする請求項1乃至4記載の半導体記憶装置。

【請求項6】 前記第2の電極は前記誘電体膜上にエピタキシャル成長により形成されていることを特徴とする請求項1乃至5記載の半導体記憶装置。

【請求項7】 前記キャパシタの前記第2の電極の少なくとも一部が、立方晶結晶の{100}面又は正方晶結晶の{001}面で構成されていることを特徴とする請求項6記載の半導体記憶装置。

【請求項8】 {100}面で構成された表面を有するシリコン基板上にエピタキシャル成長により形成され、立方晶結晶の{100}面又は正方晶結晶の{001}面で構成された側面を有する第1の電極と、この第1の電極の側面を覆うようにエピタキシャル成長により形成

2

された誘電体膜と、この誘電体膜を介して前記第1の電極に隣接して形成された第2の電極とから構成されているキャパシタと、このキャパシタに対して電気的に接続されたトランジスタとを備えたことを特徴とする半導体記憶装置。

【請求項9】 前記トランジスタは前記キャパシタ上に絶縁膜を介して形成され、前記トランジスタのソース及びドレイン電極の一方は前記キャパシタの前記第1又は第2の電極と電気的に接続されていることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】 前記キャパシタの前記誘電体膜の少なくとも一部が、立方晶ペロブスカイト結晶の{100}面又は正方晶若しくは層状ペロブスカイト結晶の{001}面で構成されていることを特徴とする請求項8又は9記載の半導体記憶装置。

【請求項11】 前記誘電体膜が一般式 ABO_3 で表され、AはBa、Sr、Caからなる群より選ばれた少なくとも1種であり、BはTi、Zr、Hf、Sn、 $(Mg_{1/3}Nb_{2/3})$ 、 $(Mg_{1/3}Ta_{2/3})$ 、 $(Zn_{1/3}Nb_{2/3})$ 、 $(Zn_{1/3}Ta_{2/3})$ 、 $(Mg_{1/2}Te_{1/2})$ 、 $(Co_{1/2}W_{1/2})$ 、 $(Mg_{1/2}W_{1/2})$ 、 $(Mn_{1/2}W_{1/2})$ 、 $(Sc_{1/2}Nb_{1/2})$ 、 $(Mn_{1/2}Nb_{1/2})$ 、 $(Sc_{1/2}Ta_{1/2})$ 、 $(Fe_{1/2}Nb_{1/2})$ 、 $(In_{1/2}Nb_{1/2})$ 、 $(Fe_{1/2}Ta_{1/2})$ 、 $(Cd_{1/3}Nb_{2/3})$ 、 $(Co_{1/3}Nb_{2/3})$ 、 $(Ni_{1/3}Nb_{2/3})$ 、 $(Co_{1/3}Ta_{2/3})$ 、 $(Ni_{1/3}Ta_{2/3})$ からなる群より選ばれた少なくとも1種であるペロブスカイト型結晶からなることを特徴とする請求項8乃至10記載の半導体記憶装置。

【請求項12】 前記第2の電極は、前記誘電体膜を介して前記第1の電極に隣接してエピタキシャル成長により形成されていることを特徴とする請求項8乃至11記載の半導体記憶装置。

【請求項13】 前記キャパシタの前記第2の電極の少なくとも一部が、立方晶結晶の{100}面又は正方晶結晶の{001}面で構成されていることを特徴とする請求項12記載の半導体記憶装置。

【請求項14】 第1のシリコン基板表面に、シリコンの{100}面で構成された内面を有する溝を形成する工程と、この溝の内部にエピタキシャル成長により第1の電極を形成する工程と、全面にエピタキシャル成長により誘電体膜を形成する工程と、この誘電体膜上に第2の電極を形成する工程と、前記第1の電極、誘電体膜、及び第2の電極から構成されているキャパシタに対して電気的に接続されたトランジスタを形成する工程とを備えたことを特徴とする半導体記憶装置の製造方法。

【請求項15】 前記第1のシリコン基板及び該基板とは別に準備した第2のシリコン基板を、両基板の間に絶縁膜が位置するように貼り合わせる工程と、前記第2の

シリコン基板を前記第1のシリコン基板と反対の側から削り、前記第2のシリコン基板を薄くする工程と、薄くした前記第2のシリコン基板にトランジスタを形成するとともに、このトランジスタと前記第2の電極とを電気的に接続するための接続孔を前記絶縁膜に開孔し、該接続孔に接続電極を埋め込み形成する工程とを備えたことを特徴とする請求項14記載の半導体記憶装置の製造方法。

【請求項16】 前記第2の電極を前記誘電体膜上にエピタキシャル成長により形成することを特徴とする請求項14又は15記載の半導体記憶装置の製造方法。

【請求項17】 第1のシリコン基板表面に、シリコンの{100}面で構成された内面を有する第1の溝を形成する工程と、この溝の内部を埋め込むようにエピタキシャル成長により、前記第1の溝の前記シリコンの{100}面で構成された内面向向する面が立方晶結晶の{100}面又は正方晶結晶の{001}面となるように、第1の電極を形成する工程と、この第1の電極をマスクとして前記第1のシリコン基板をエッチングすることにより、該基板に第2の溝を形成する工程と、全面にエピタキシャル成長により誘電体膜を形成する工程と、この誘電体膜上に第2の電極を前記第2の溝を埋め込むように形成する工程と、前記第1の電極、誘電体膜、及び第2の電極から構成されているキャパシタに対して電気的に接続されたトランジスタを形成する工程とを備えたことを特徴とする半導体記憶装置の製造方法。

【請求項18】 前記第1のシリコン基板及び該基板とは別に準備した第2のシリコン基板を、両基板の間に絶縁膜が位置するように貼り合わせる工程と、前記第2のシリコン基板を前記第1のシリコン基板と反対の側から削り、前記第2のシリコン基板を薄くする工程と、薄くした前記第2のシリコン基板にトランジスタを形成するとともに、このトランジスタと前記第1又は第2の電極とを電気的に接続するための接続孔を前記絶縁膜に開孔し、該接続孔に接続電極を埋め込み形成する工程とを備えたことを特徴とする請求項17記載の半導体記憶装置の製造方法。

【請求項19】 前記第2の電極を前記誘電体膜上にエピタキシャル成長により形成することを特徴とする請求項17又は18記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ペロブスカイト型結晶構造などを有する誘電性材料からなる誘電体膜を具備したキャパシタを用いた半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】最近、記憶媒体として強誘電体薄膜を用いた記憶装置(強誘電体メモリ)の開発が行われており、一部にはすでに実用化されている。強誘電体メモリ

は不揮発性であり、電源を落とした後も記憶内容が失われない、しかも膜厚が十分薄い場合には自発分極の反転が速く、DRAM並みに高速の書き込み、読み出しが可能であるなどの特徴を持つ。また、1ビットのメモリセルを一つのトランジスタと一つの強誘電体キャパシタで作成することができるため、大容量化にも適している。

【0003】強誘電体メモリに適した強誘電体薄膜には、残留分極が大きいこと、残留分極の温度依存性が小さいこと、残留分極の長時間保持が可能であること(リテンション)などが必要である。

【0004】現在強誘電体材料としては、主としてジルコン酸チタン酸鉛(PZT)が用いられている。PZTは、ジルコン酸鉛とチタン酸鉛の固溶体であるが、ほぼ1:1のモル比で固溶したものが自発分極が大きく、低い電界でも反転することができ、記憶媒体として優れていると考えられている。PZTは、強誘電体相と常誘電体層の転移温度(キュリー温度)が300℃以上と比較的高いため、通常の電子回路が使用される温度範囲(120℃以下)では、記憶された内容が熱によって失われる心配は少ない。

【0005】しかしながら、PZTの良質な薄膜は作成が難しいことが知られている。第一に、PZTの主成分である鉛は500℃以上で蒸発しやすく、そのため組成の正確な制御が難しい。第二に、PZTはペロブスカイト型結晶構造を形成したときにはじめて強誘電性が現れるが、このペロブスカイト型結晶を持つPZTが得にくく、パイロクロアと呼ばれる結晶構造のほう容易に得られやすいという問題がある。また、シリコンデバイスに適用した場合には、主成分である鉛のシリコン中への拡散を防ぐことが難しいという問題もある。

【0006】PZT以外ではチタン酸バリウム(BaTiO₃)が代表的な強誘電体として知られている。チタン酸バリウムはPZTと同じくペロブスカイト型結晶を持ち、キュリー温度は約120℃であることが知られている。Pbと比べるとBaは蒸発しにくいので、チタン酸バリウムの薄膜作成においては、組成の制御が比較的容易である。また、チタン酸バリウムが結晶化した場合は、ペロブスカイト型以外の結晶構造をとることはほとんどない。

【0007】これらの長所にもかかわらず、チタン酸バリウムの薄膜キャパシタが強誘電体メモリの記憶媒体としてさほど検討されていない理由として、PZTと比べて残留分極が小さく、しかも残留分極の温度依存性が大きいことが挙げられる。

【0008】この原因は、チタン酸バリウムのキュリー温度が低い(120℃)ことにあり、このため強誘電体メモリを作成した場合100℃以上の高温にさらされた場合に記憶内容が失われる恐れがあるばかりではなく、通常電子回路が使用される温度範囲(85℃以下)でも残留分極の温度依存性が大きく、動作が不安定である。

したがって、チタン酸バリウムからなる強誘電体薄膜を使用した薄膜キャパシタは、強誘電体メモリの記憶媒体としての用途に適さないと考えられていた。

【0009】

【発明が解決しようとする課題】本発明者らは、新しい強誘電体薄膜として、下部電極（例えばルテニウム酸ストロンチウム、 SrRuO_3 、以下SROと略称。）の（100）面の格子定数に比較的近くやや大きな格子定数を持つ誘電材料（例えば、チタン酸バリウムストロンチウム、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ 、以下BSTと略称。）を選択し、かつまたRFマグネトロン・スパッタ法という成膜過程でミスフィット転位が比較的入りにくい成膜方法を採用して、分極軸であるc軸方向にエピタキシャル成長させることにより、膜厚200nm以上の比較的厚い膜厚をもつ薄膜においても、エピタキシャル効果により本来の誘電体の格子定数よりも膜厚方向（c軸）に格子定数が伸び面内方向（a軸）の格子定数が縮んだ状態を保つことができることを見いだした。

【0010】その結果、強誘電キュリー温度を高温側にシフトさせ、室温領域で大きな残留分極を示し、かつ85℃程度まで温度を上げてても十分大きな残留分極を保持できる強誘電体薄膜が実現可能であることを確認している。例えば、下部電極として導電性ペロブスカイト結晶であるSRO（格子定数aは0.393。）を使用し、誘電体として $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ を組成領域 $x=0.30\sim0.90$ で用いることにより、本来室温では強誘電性を示さないはずの組成領域（ $x\leq 0.7$ ）でも強誘電性が発現し、またもともと室温で強誘電性を示す組成領域（ $x>0.7$ ）においては、本来室温以上にあるキュリー温度がさらに上昇するという、実用上好ましい強誘電体特性を実現できることを実験的に確認している。

【0011】また同様に、下部電極として導電性ペロブスカイト結晶であるSROを使用し、誘電体として $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ を組成領域 $x=0.10\sim0.40$ で用いることにより、多結晶膜でキャパシタを作成したときの誘電率（例えば膜厚20nmで誘電率200程度。）の数倍の800以上に達する誘電率を持つキャパシタが作成できるという、DRAMとして非常に好ましい誘電特性を実現できることを実験的に確認している。

【0012】このエピタキシャル成長させた誘電体薄膜を使用した薄膜キャパシタを用いて、FRAMやDRAMなどの半導体メモリを構成することができる。代表的な従来例として、予めトランジスタを形成したSi基板上に、トランジスタを覆う層間絶縁膜にトランジスタの電極上に開口部（コンタクトホール）を設け、開口部内に気相からの選択エピタキシャル成長又は非品質からの固相エピタキシャル成長により単結晶Siプラグを作製し、その上にエピタキシャル薄膜キャパシタを作成する方法（特願平7-082091）が知られる。

【0013】この方法は、トランジスタの電極直上に積層してエピタキシャル薄膜キャパシタを作製することができるため、構造上最も高集積化に適した方法である。しかしながら、高集積化した半導体記憶装置においては、トランジスタの電極上に形成したコンタクトホールの深さと幅のアスペクト比が大きくなる。大きなアスペクト比を持つコンタクトホールの底面のみから単結晶シリコンプラグを選択エピタキシャル成長または固相エピタキシャル成長により形成するためのプロセスウィンドは狭いものとなり、一つのメモリデバイスの中に数十メガ個以上の数のプラグを作製する際の歩留まりを考慮すると、クリアすべき技術課題は大きい。

【0014】本発明は、エピタキシャル効果を利用して強誘電性を発現した強誘電体薄膜、あるいはエピタキシャル効果により誘電率を増大させた高誘電率薄膜を使用した半導体メモリにおいて、作成方法が容易で、かつ高集積化が可能な半導体記憶装置及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】前述した問題を解決するために本発明の第1は、シリコン基板表面に形成され、シリコンの{100}面で構成された内面を有する溝と、この溝の内部にエピタキシャル成長により形成された第1の電極と、この第1の電極を覆うように前記溝の内部にエピタキシャル成長により形成された誘電体膜と、この誘電体膜上に形成された第2の電極とから構成されているキャパシタと、このキャパシタに対して電気的に接続されたトランジスタとを備えたことを特徴とする半導体記憶装置を提供する。

【0016】この本発明の第1において、以下の態様が好ましい。

（1）前記トランジスタは前記キャパシタ上に絶縁膜を介して形成され、前記トランジスタのソース及びドレイン電極の一方は前記キャパシタの前記第2の電極と電気的に接続されていること。

【0017】（2）前記キャパシタの前記第1の電極の少なくとも一部が、立方晶結晶の{100}面又は正方晶結晶の{001}面で構成されていること。

（3）前記キャパシタの前記誘電体膜の少なくとも一部が、立方晶ペロブスカイト結晶の{100}面又は正方晶若しくは層状ペロブスカイト結晶の{001}面で構成されていること。

【0018】（4）前記誘電体膜が一般式 ABO_3 で表され、AはBa、Sr、Caからなる群より選ばれた少なくとも1種であり、BはTi、Zr、Hf、Sn、 $(\text{Mg}_{1/3}\text{Nb}_{2/3})$ 、 $(\text{Mg}_{1/3}\text{Ta}_{2/3})$ 、 $(\text{Zn}_{1/3}\text{Nb}_{2/3})$ 、 $(\text{Zn}_{1/3}\text{Ta}_{2/3})$ 、 $(\text{Mg}_{1/2}\text{Te}_{1/2})$ 、 $(\text{Co}_{1/2}\text{W}_{1/2})$ 、 $(\text{Mg}_{1/2}\text{W}_{1/2})$ 、 $(\text{Mn}_{1/2}\text{W}_{1/2})$ 、 $(\text{Sc}_{1/2}\text{Nb}_{1/2})$ 、 $(\text{Mn}_{1/2}\text{Nb}_{1/2})$ 、 $(\text{Sc}_{1/2}\text{Ta}_{1/2})$ 、 $(\text{Fe}_{1/2}\text{N})$

$b_{1/2}$)、 $(In_{1/2}Nb_{1/2})$ 、 $(Fe_{1/2}Ta_{1/2})$ 、 $(Cd_{1/3}Nb_{2/3})$ 、 $(Co_{1/3}Nb_{2/3})$ 、 $(Ni_{1/3}Nb_{2/3})$ 、 $(Co_{1/3}Ta_{2/3})$ 、 $(Ni_{1/3}Ta_{2/3})$ からなる群より選ばれた少なくとも1種であるペロブスカイト型結晶からなること。

【0019】(5) 前記第2の電極は前記誘電体膜上にエピタキシャル成長により形成されていること。

(6) 前記キャパシタの前記第2の電極の少なくとも一部が、立方晶結晶の{100}面又は正方晶結晶の{001}面で構成されていること。

【0020】また本発明の第2は、{100}面で構成された表面を有するシリコン基板上にエピタキシャル成長により形成され、立方晶結晶の{100}面又は正方晶結晶の{001}面で構成された側面を有する第1の電極と、この第1の電極の側面を覆うようにエピタキシャル成長により形成された誘電体膜と、この誘電体膜を介して前記第1の電極に隣接して形成された第2の電極とから構成されているキャパシタと、このキャパシタに対して電気的に接続されたトランジスタとを備えたことを特徴とする半導体記憶装置を提供する。

【0021】この本発明の第2において、以下の態様が好ましい。

(1) 前記トランジスタは前記キャパシタ上に絶縁膜を介して形成され、前記トランジスタのソース及びドレイン電極の一方は前記キャパシタの前記第1又は第2の電極と電気的に接続されていること。

【0022】(2) 前記第2の電極は、前記誘電体膜を介して前記第1の電極に隣接してエピタキシャル成長により形成されていること。

(3) 前記キャパシタの前記第2の電極の少なくとも一部が、立方晶結晶の{100}面又は正方晶結晶の{001}面で構成されていること。

【0023】なお、上記本発明の第2においても、前述した本発明の第1における誘電体膜を用いることが好ましい。また本発明の第3は、第1のシリコン基板表面に、シリコンの{100}面で構成された内面を有する溝を形成する工程と、この溝の内部にエピタキシャル成長により第1の電極を形成する工程と、全面にエピタキシャル成長により誘電体膜を形成する工程と、この誘電体膜上に第2の電極を形成する工程と、前記第1の電極、誘電体膜、及び第2の電極から構成されているキャパシタに対して電気的に接続されたトランジスタを形成する工程とを備えたことを特徴とする半導体記憶装置の製造方法を提供する。

【0024】この本発明の第3において、以下の態様が好ましい。

(1) 前記第1のシリコン基板及び該基板とは別に準備した第2のシリコン基板を、両基板の間に絶縁膜が位置するように貼り合わせる工程と、前記第2のシリコン基

板を前記第1のシリコン基板と反対の側から削り、前記第2のシリコン基板を薄くする工程と、薄くした前記第2のシリコン基板にトランジスタを形成するとともに、このトランジスタと前記第2の電極とを電気的に接続するための接続孔を前記絶縁膜に開孔し、該接続孔に接続電極を埋め込み形成する工程とを備えたこと。

【0025】(2) 前記第2の電極を前記誘電体膜上にエピタキシャル成長により形成すること。

また本発明の第4は、第1のシリコン基板表面に、シリコンの{100}面で構成された内面を有する第1の溝を形成する工程と、この溝の内部を埋め込むようにエピタキシャル成長により、前記第1の溝の前記シリコンの{100}面で構成された内面に対向する面が立方晶結晶の{100}面又は正方晶結晶の{001}面となるように、第1の電極を形成する工程と、この第1の電極をマスクとして前記第1のシリコン基板をエッチングすることにより、該基板に第2の溝を形成する工程と、全面にエピタキシャル成長により誘電体膜を形成する工程と、この誘電体膜上に第2の電極を前記第2の溝を埋め込むように形成する工程と、前記第1の電極、誘電体膜、及び第2の電極から構成されているキャパシタに対して電気的に接続されたトランジスタを形成する工程とを備えたことを特徴とする半導体記憶装置の製造方法を提供する。

【0026】この本発明の第4において、以下の態様が好ましい。

(1) 前記第1のシリコン基板及び該基板とは別に準備した第2のシリコン基板を、両基板の間に絶縁膜が位置するように貼り合わせる工程と、前記第2のシリコン基板を前記第1のシリコン基板と反対の側から削り、前記第2のシリコン基板を薄くする工程と、薄くした前記第2のシリコン基板にトランジスタを形成するとともに、このトランジスタと前記第1又は第2の電極とを電気的に接続するための接続孔を前記絶縁膜に開孔し、該接続孔に接続電極を埋め込み形成する工程とを備えたこと。

【0027】(2) 前記第2の電極を前記誘電体膜上にエピタキシャル成長により形成すること。

なお、上記した本発明において、第1の電極がプレート電極(ドライブ線)、第2の電極が電荷蓄積電極となる場合、及びその反対に第1の電極が電荷蓄積電極、第2の電極がプレート電極(ドライブ線)となる場合が典型的な例である。

【0028】以上述べた本発明により、ギガビット以上の超高集積化したFRAMあるいはDRAMをも製造工程を複雑にすることなく実現できる。すなわち、従来例においては、予めトランジスタを形成した基板の上に単結晶のSiコンタクトプラグを形成し、さらにその上にエピタキシャルキャパシタを形成するという工程を経ていた。このために、まず単結晶Siコンタクトプラグを形成する工程が困難であり、さらにその上にキャパシタを作

成する際には、トランジスタの温度条件に制約されて高温のCVDなどの工程が採用できず、立体的なキャパシタを作成するのが困難であるという問題点があった。

【0029】このような従来例の方法と比較して、本発明の方法によればいくつかの大きな長所がある。まず第1点として、Si基板上に最初にキャパシタを作成することができるため、トランジスタの耐熱温度を考慮することなく、エピタキシャル電極膜や誘電体膜の作成に比較的高温が必要なCVD法を使用することができ、したがってアスペクト比の大きな立体形状のキャパシタでも作成できる。

【0030】第2点として、キャパシタとトランジスタの接続部分に、工程の複雑な単結晶のSiコンタクトプラグを使わずに済み、多結晶のSiプラグでも十分であるために工程の簡略化を図ることができる。

【0031】以上のように本発明によれば、エピタキシャル成長時に導入される歪等により誘起された強誘電体膜や高誘電率膜を使用したキャパシタとトランジスタとを簡単な工程で高度に集積することができ、信頼性の高い超高集積化したFRAMやDRAMを容易に作成することが可能になる。

【0032】

【発明の実施の形態】以下、本発明の実施形態を図面を参照しつつ詳細に説明する。

第1の実施形態

図1乃至図3は、本発明の第1の実施形態であるDRAMの製造工程を示す断面図である。これらの図において、1は第1導電型半導体基板、2はバリア金属層、3は下部電極、4は誘電体薄膜、5は上部電極、6は貼り合わせ用絶縁膜、7は貼り合わせ用基板、9は素子間分離絶縁膜、10、11はキャパシタの上部電極とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ、12は側壁拡散層、13はソース/ドレイン不純物拡散層、14はゲート絶縁膜（酸化膜）、15a、15bはワード線（例えば15aはシリコン層、15bはタングステンシリサイド層やタングステン層）、15cはワード線のキャップ絶縁膜（例えばシリコンナイトライド層）、15dはワード線の側壁絶縁膜（例えばシリコンナイトライド層）、16aはビット線とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ、16bはビット線、16cはビット線のキャップ絶縁膜（例えばシリコンナイトライド層）、16dはビット線の側壁絶縁膜（例えばシリコンナイトライド層）、17、18は層間絶縁膜である。

【0033】まず図1(a)に示すように、第一のSi(100)基板1を用いて、キャパシタを埋め込むための(100)方位で開かれたトレンチ1aを公知のエッチング方法により形成した。このとき、必要に応じて、トレンチの底部に深さ0.1 μm程度の不純物拡散層を形成して、

プレート電極の一部としても良い。

【0034】次に、同図(b)に示すように、バリア金属層2としてMOCVD法により(Ti, Al)Nをコンフォーマルにエピタキシャル成長した。成膜温度を1000℃として、ソースガスとして、Al(CH₃)₃、TiO(C₂H₅)₂およびNH₃を使用して、膜厚10nmで形成した。

【0035】引き続き、下部電極3として、MOCVD法によりSROをコンフォーマルにエピタキシャル成長した。成膜温度を800℃として、ソースガスとして、Sr(THD)₂ (THDは2,2,6,6-Tetramethyl,3,5-Hep-tadionate)、RuO(C₂H₅)₂を使用し、酸化剤としてO₂を使用した。膜厚は20nmである。さらにBaのモル分率30%のBSTO薄膜4をMOCVD法によりコンフォーマルにエピタキシャル成長した。成膜温度を800℃として、ソースガスとして、Sr(THD)₂、Ba(THD)₂、TiO(THD)₂を使用し、膜厚を20nmとした。酸化剤としてO₂を使用した。

【0036】次に、図2(a)に示すように、上部電極5としてMOCVD法によりSROをエピタキシャル成長させてトレンチ1b内を埋め込んだ後、BSTO薄膜4をストッパ層として化学的機械的研磨法(CMP)によりSROを研磨して平坦化した。SROの成膜温度は800℃とし、ソースガスとして、Sr(THD)₂、TiO(THD)₂、RuO(C₂H₅)₂およびO₂を使用して、膜厚20nmで形成した。

【0037】次に、図2(b)に示すように、貼り合わせ用絶縁膜としてBPSG層6aを例えば500nm程度形成し、例えばCMP法などにより平坦化した。さらに、別途表面にBPSG層6bを形成し平坦化した第二のSi基板7を用意し、第一と第二のSi基板1、7を、平坦化したBPSG層6a、6b同士を突き合わせて接着した。BPSG層6a、6bは6となる。接着には、公知の方法、例えば900℃程度の熱処理を用いた。

【0038】次に、図3(a)に示すように、第二のSi基板の裏面から研磨していき、例えば150nm程度の厚みとして、SOI基板を形成する。この他、スマートカット等の接着、研磨(エッチング)によるSOI基板の形成方法を用いても良い。もちろんSOI基板のシリコン層7の表面は、後のトランジスタ形成工程に耐えるように鏡面研磨されている。

【0039】次に、例えば反応性イオンエッチング(RIE)法を用いてSOI基板のシリコン層7に溝を掘り、その溝に絶縁膜(SiO₂層)を埋め込み平坦化して、いわゆるトレンチ分離型の素子間分離絶縁膜(STI)9を形成する。

【0040】次に、通常のリソグラフィ法とRIE法などのプラズマエッチングを用いて接続孔を開く。このときのエッチング条件としては、SOI層のシリコン層7及びSTIのSiO₂層9をともにエッチ

11

ングする条件を用い、さらに貼り合わせ用絶縁膜（BP SG層）6をもエッチングした。このエッチングは、上部電極のSRO膜5や誘電体薄膜のBSTO膜4をストッパーとして用いて選択的にストップさせると良い。

【0041】次に、全面に例えばN⁺型不純物を含んだポリSi膜を約200nm程度の膜厚で堆積し、全面をCMPなどの方法でエッチバックすることにより、接続孔にN⁺ポリSi層からなる埋込み層（コンタクトプラグ）

10、11を形成する。その後、RTA（Rapid Thermal Anneal）法で800℃程度、20秒、窒素雰囲気中でアニールすることにより、N⁺側壁拡散層12を形成する次に、図3（b）に示すように、公知のプロセスを使用して、ソース/ドレイン不純物拡散層13、ゲート絶縁膜14、ワード線15a、15bは、ワード線のキャップ絶縁膜15c、ワード線の側壁絶縁膜15dを形成してトランジスタを作製した。さらに、層間絶縁膜17、ビット線とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ16a、ビット線16b、ビット線のキャップ絶縁膜16c、ビット線の側壁絶縁膜、層間絶縁膜18を形成してDRAMを完成する。

【0042】このような構成により、キャパシタの上部電極と接続孔とを自己整合的に形成できるため、製品の歩留まりが向上する。また、下地としてSi基板の(100)面が使用できるため、Si基板の上に(100)配向した(Ti, Al)Nバリアメタル、(100)配向したSrRuO₃電極、さらに(100)配向した(Ba, Sr)TiO₃誘電膜などを安定して作成することができ、誘電体キャパシタの誘電率のばらつきやリーク電流のばらつきを抑えることができる。

【0043】また、キャパシタがトランジスタの下にあるので、配線層の形成時においてキャパシタによる段差がなくなり、コンタクトや配線形成工程が容易になり、工程の簡略化や平坦化工程の簡略化を達成できる。さらにまた、キャパシタがトランジスタの下部領域に立体化されているので、トランジスタの下の領域まで立体化されたキャパシタ領域として使用でき、メモリ領域におけるキャパシタの占める面積をメモリ面積を大きくせず、大きくできる。その結果、蓄積電荷量を大きくでき、メモリセル動作マージンを大きくすることができ、製品の歩留まりを向上できる。

【0044】第2の実施形態

図4及び図5は、本発明の第2の実施形態であるFRAMの製造工程を示す断面図である。これらの図において、1は第1導電性半導体基板、2はバリア金属層、3は下部電極、4は誘電体薄膜、5は上部電極、6は貼り合わせ用絶縁膜、7は貼り合わせ用基板、8、9は素子間分離絶縁膜、10、11はキャパシタの上部電極とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ、12は側壁拡散層、13はソース/ドレイン不純物拡散層、14はゲート絶縁膜（酸化

12

膜)、15 a、15 bはワード線(例えば15 aはシリコン層、15 bはタングステンシリサイド層やタングステン層。)、15 cはワード線のキャップ絶縁膜(例えばシリコンナイトライド層。)、15 dはワード線の側壁絶縁膜(例えばシリコンナイトライド層。)、16 aはビット線とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ、16 bはビット線、16 cはビット線のキャップ絶縁膜(例えばシリコンナイトライド層。)、16 dはビット線の側壁絶縁膜(例えばシリコンナイトライド層。)、17、18は層間絶縁膜である。

【0045】図4（a）は、第1の実施形態の図2

(a)までの工程と同様の工程を行った後のキャパシタセル部分を示す断面図である。ただし、誘電膜としてBaのモル分率30%のBSTO薄膜の代わりに、Baのモル分率80%のBSTO薄膜を用いて強誘電体膜を作成した。

【0046】次に、図4(b)に示すように、さらにCMP法を使用して、バリアメタル(Ti, Al)Nをストッパーとして、誘電膜4、下部電極3をキャパシタ以外の所では研磨して取り除いた。この時、上部電極5も上面が一部除去される。

【0047】次に、図5(a)に示すように、既知のリソグラフィ法、及びSRO電極および誘電体膜をマスクとするセルフアラインプロセスを併用して、RIE法により(Ti,Al)N膜およびSi基板をエッチングした。さらに、プラズマCVD法等により素子間分離絶縁膜(酸化膜)8を埋め込み、これを平坦化した。このプロセスにより下部電極3を分離絶縁し、ドライブ線(DRAMではプレート線に相当)を形成することができた。

【0048】次に、図5(b)に示すように、第一の実施形態と同様に第二のSi基板と接着を行い、コンタクトプラグ10、11を形成し、SOI基板中にトランジスタおよび上部配線を形成した。

【0049】その結果、キャパシタ膜として常誘電体膜の代わりに強誘電体膜が得られ、その残留分極は60C/m²と非常に大きな値が得られた。この強誘電体膜を使用したキャパシタによりFRAMの動作が確認された。また、本実施形態によれば、第1の実施形態と同様の効果が得られることはいうまでもない。

【0050】第3の実施形態

図6乃至図8は、本発明の第3の実施形態であるDRA Mの製造工程を示す断面図である。これらの図において、61は第1導電型半導体基板、62はバリア金属層、63はプレート電極、64は誘電体薄膜、65は電荷蓄積電極、66は貼り合わせ用絶縁膜、7は貼り合わせ用基板、8、9は素子間分離絶縁膜、10、11はキャパシタの上部電極とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ、12は側壁拡散層、13はソース/ドレイン不純物拡散層、14はゲ

13

ート絶縁膜(酸化膜)、15a、15bはワード線(例えば15aはシリコン層、15bはタングステンシリサイド層やタングステン層。)、15cはワード線のキャップ絶縁膜(例えばシリコンナイトライド層。)、15dはワード線の側壁絶縁膜(例えばシリコンナイトライド層。)、16aはビット線とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ、16bはビット線、16cはビット線のキャップ絶縁膜(例えばシリコンナイトライド層。)、16dはビット線の側壁絶縁膜(例えばシリコンナイトライド層。)、17、18は層間絶縁膜である。

【0051】まず図6(a)に示すように、第一のSi(100)基板61を用いて、キャパシタを埋め込むための(100)方位で囲まれたトレンチを公知の方法により形成した。このとき、必要に応じて、トレンチの底部に深さ0.1 μ m程度の不純物拡散層を形成して、プレート電極の一部としても良い。

【0052】次に、バリア金属層62としてMOCVD法により(Ti,Al)Nをコンフォーマルにエピタキシャル成長した。成膜温度を1000℃とし、ソースガスとして、Al(CH₃)₃、TiO(C₂H₅)₂およびNH₃を使用し、膜厚は10nmとした。引き続き、プレート電極3として、MOCVD法によりSROをエピタキシャル成長させてトレンチ内に埋め込んだ後、(Ti,Al)Nをストップ層として化学的機械的研磨法(CMP)によりSROを研磨して平坦化した。SROの成膜温度は800℃とし、ソースガスとして、Sr(THD)₂、RuO(C₂H₅)₂及びO₂を使用し、膜厚は20nmとした。

【0053】次に、図6(b)に示すように、公知のRIE法により、SROプレート電極63をマスクとして、(Ti,Al)Nバリアメタル62およびSi層をエッチングして、再びトレンチ61aを形成した。

【0054】次に、図7(a)に示すように、Baのモル分率30%のBSTO薄膜64をMOCVD法によりコンフォーマルに成長した。成膜温度は800℃とし、ソースガスとして、Sr(THD)₂、Ba(THD)₂、TiO(THD)₂及びO₂を使用して、膜厚を20nmとした。このとき、SROプレート電極63のトレンチ側壁部分においては、BSTO薄膜64は(100)方位でエピタキシャル成長した。トレンチの底部のSi結晶上には、成膜中に形成された酸化膜を介して多結晶のBSTO膜64が形成された。

【0055】次に、電荷蓄積電極65としてMOCVD法によりSROをエピタキシャル成長させてトレンチ内を埋め込んだ後、BSTO膜64をストップ層として化学的機械的研磨法(CMP)によりSRO膜65を研磨して平坦化した。SROの成膜温度は800℃として、ソースガスとして、Sr(THD)₂、RuO(C₂H₅)₂及びO₂を使用して、膜厚を20nmとした。

14

【0056】次に、図7(b)に示すように、貼り合わせ用絶縁膜としてBPSG層6aを例えば500nm程度形成し、例えばCMP法などにより平坦化した。さらに別途表面にBPSG層6bを形成し平坦化した第二のSi基板7を用意し、第一と第二のSi基板61、7を平坦化したBPSG層同士を突き合わせて接着した。BPSG層6a、6bは6となる。接着には、公知の方法、例えば900℃程度の熱処理を用いた。

【0057】次に、図8(a)に示すように、第二のSi基板7の裏面から研磨していき、例えば150nm程度の厚さとして、SOI基板を形成する。この他、スマートカット等の接着、研磨(エッチング)によるSOI基板の形成方法を用いても良い。もちろん、SOI基板のシリコン層7の表面は後のトランジスタ形成工程に耐えるように鏡面研磨されている。

【0058】次に、例えば反応性イオンエッチング(RIE)法を用いてSOI基板のシリコン層7に溝を掘り、その溝に絶縁膜(SiO₂層)を埋め込み平坦化して、いわゆるトレンチ分離型の素子間分離絶縁膜(STI)9を形成する。次に、通常のフォトリソグラフィ法とRIE法などのプラズマエッチングを用いて接続孔を開く。このときのエッチング条件としては、SOI層のシリコン層7とSTIのSiO₂層9をともにエッチングする条件を用い、さらにBPSG層6をエッチングする。この時、電荷蓄積電極のSRO膜65や誘電体薄膜のBSTO膜64をストップとして用いて選択的にエッチングをストップさせると良い。

【0059】次に、全面に例えばN⁺型不純物を含んだポリSi膜を約200nm程度の膜厚で堆積し、全面をCMPなどの方法でエッチバックすることにより、接続孔にN⁺ポリSi層からなる埋込み層(コンタクトプラグ)10、11を形成する。この後、RTA(Rapid Thermal Anneal)法で800℃程度、20秒、窒素雰囲気中でアニールすることにより、N⁺側壁拡散層12を形成する次に、図8(b)に示すように、第1の実施形態と同様にして公知のプロセスを使用し、トランジスタのソース/ドレイン不純物拡散層13、ゲート絶縁膜14、ワード線15a、15bからなるトランジスタや、ビット線16b等を形成した。

【0060】このような構成により、第1の実施形態と同様な効果が期待できる。さらに、キャパシタ・セルの断面がプレート電極、誘電体、電荷蓄積電極、誘電体の繰り返しみの究極の構造で構成されているために、メモリセルのデザインルールが0.1 μ m以下に小さくなったときも対応が可能になるという大きな特徴がある。

【0061】第4の実施形態

図9乃至図10は、本発明の第4の実施形態であるDRAMの製造工程を示す断面図である。これらの図において、91は第1導電型半導体基板、92はバリア金属層、93は電荷蓄積電極、94は誘電体薄膜、95はプ

15

レート電極、6は貼り合わせ用絶縁膜、7は貼り合わせ用基板、8、9は素子間分離絶縁膜、100、101はキャパシタの上部電極とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ、12は側壁拡散層、13はソース/ドレイン不純物拡散層、14はゲート絶縁膜(酸化膜)、15a、15bはワード線(例えば15aはシリコン層、15bはタングステンシリサイド層やタングステン層。)、15cはワード線のキャップ絶縁膜(例えばシリコンナイトライド層。)、15dはワード線の側壁絶縁膜(例えばシリコンナイトライド層。)、16aはビット線とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ、16bはビット線、16cはビット線のキャップ絶縁膜(例えばシリコンナイトライド層。)、16dはビット線の側壁絶縁膜(例えばシリコンナイトライド層。)、17、18は層間絶縁膜である。

【0062】まず図9(a)に示すように、第一のSi(100)基板91を用いて、キャパシタを埋め込むための(100)方位で囲まれたトレンチを公知の方法により形成した。このとき、必要に応じて、トレンチの底部に深さ0.1 μm 程度の不純物拡散層を形成して、プレート電極の一部としても良い。

【0063】次に、バリア金属層92としてMOCVD法により(Ti,Al)Nをコンフォーマルにエピタキシャル成長した。成膜温度を1000℃とし、ソースガスとして、Al(CH₃)₃、TiO(C₂H₅)₂およびNH₃を使用し、膜厚は10nmとした。引き続き、電荷蓄積電極93として、MOCVD法によりSROをエピタキシャル成長させてトレンチ内に埋め込んだ後、(Ti,Al)Nをストッパ層として化学的機械的研磨法(CMP)によりSROを研磨して平坦化した。SROの成膜温度は800℃とし、ソースガスとして、Sr(THD)₂、RuO(C₂H₅)₂及びO₂を使用し、膜厚は20nmとした。

【0064】次に、図9(b)に示すように、公知のRIE法により、SRO電荷蓄積電極93をマスクとして、(Ti,Al)Nバリア金属層92およびSi層をエッチングして、再びトレンチ91aを形成した。

【0065】次に、図10(a)に示すように、Baのモル分率30%のBSTO薄膜94をMOCVD法によりコンフォーマルに成長した。成膜温度は800℃とし、ソースガスとして、Sr(THD)₂、Ba(THD)₂、TiO(THD)₂及びO₂を使用して、膜厚を20nmとした。このとき、SRO電荷蓄積電極93のトレンチ側壁部分においては、BSTO薄膜94は(100)方位でエピタキシャル成長した。トレンチの底部のSi結晶上には、成膜中に形成された酸化膜を介して多結晶のBSTO膜94が形成された。

【0066】次に、プレート電極95としてMOCVD法によりSROをエピタキシャル成長させてトレンチ内

16

を埋め込んだ後、BSTO膜94をストッパ層として化学的機械的研磨法(CMP)によりSRO膜95を研磨して平坦化した。SROの成膜温度は800℃として、ソースガスとして、Sr(THD)₂、RuO(C₂H₅)₂及びO₂を使用して、膜厚を20nmとした。

【0067】次に、図10(b)に示すように、貼り合わせ用絶縁膜としてBPSG層6aを例えば500nm程度形成し、例えばCMP法などにより平坦化した。さらに別途表面にBPSG層6bを形成し平坦化した第二のSi基板7を用意し、第一と第二のSi基板91、7を平坦化したBPSG層同士を突き合わせて接着した。BPSG層6a、6bは6となる。接着には、公知の方法、例えば900℃程度の熱処理を用いた。

【0068】次に、図11(a)に示すように、第二のSi基板7の裏面から研磨していき、例えば150nm程度の厚さとして、SOI基板を形成する。この他、スマートカット等の接着、研磨(エッチング)によるSOI基板の形成方法を用いても良い。もちろん、SOI基板のシリコン層7の表面は後のトランジスタ形成工程に耐えるように鏡面研磨されている。

【0069】次に、例えば反応性イオンエッチング(RIE)法を用いてSOI基板のシリコン層7に溝を掘り、その溝に絶縁膜(SiO₂層)を埋め込み平坦化して、いわゆるトレンチ分離型の素子間分離絶縁膜(STI)9を形成する。次に、通常のフォトリソグラフィ法とRIE法などのプラズマエッチングを用いて接続孔を開く。このときのエッチング条件としては、SOI層のシリコン層7とSTIのSiO₂層9をとともにエッチングする条件を用い、さらにBPSG層6及びBSTO膜94をエッチングする。この時、誘電体薄膜のBSTO膜94をストッパとしてその表面で一度エッチングを止め、さらにBSTO膜64をエッチング除去することにより、接続孔間でエッチングばらつきを低減することが可能である。もちろん、電荷蓄積電極のSRO膜93をストッパとして用いて選択的にエッチングをストップさせることも可能である。

【0070】次に、全面に例えばN⁺型不純物を含んだポリSi膜を約200nm程度の膜厚で堆積し、全面をCMPなどの方法でエッチバックすることにより、接続孔にN⁺ポリSi層からなる埋込み層(コンタクトプラグ)100、101を形成する。この後、RTA(Rapid Thermal Anneal)法で800℃程度、20秒、窒素雰囲気アニールすることにより、N⁺側壁拡散層12を形成する。次に、図11(b)に示すように、第1の実施形態と同様に公知のプロセスを使用し、トランジスタのソース/ドレイン不純物拡散層13、ゲート絶縁膜14、ワード線15a、15bからなるトランジスタや、ビット線16b等を形成した。

【0071】このような構成により、第1の実施形態と同様な効果が期待できる。さらに、キャパシタ・セルの

17

断面がプレート電極、誘電体、電荷蓄積電極、誘電体の繰り返しのみの突極の構造で構成されているために、メモリセルのデザインルールが $0.1\mu\text{m}$ 以下に小さくなったときも対応が可能になるという大きな特徴がある。

【0072】なお、本発明は上記実施形態に限定されることはなく種々変形して実施することが可能である。

【0073】

【発明の効果】以上詳述したように、本発明によれば、立体化したキャパシタをシリコン基板上に高密度に作製することができ、信頼性の高い超高集積化したDRAM 10やFRAMの実現を可能とし、本発明の工業的価値は極めて大きい。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態にかかるメモリセルの製造工程を示す断面図。

【図2】 図1に続く本発明の第1の実施形態にかかるメモリセルの製造工程を示す断面図。

【図3】 図2に続く本発明の第1の実施形態にかかるメモリセルの製造工程を示す断面図。

【図4】 本発明の第2の実施形態にかかるメモリセル 20の製造工程を示す断面図。

【図5】 図4に続く本発明の第2の実施形態にかかるメモリセルの製造工程を示す断面図。

【図6】 本発明の第3の実施形態にかかるメモリセルの製造工程を示す断面図。

【図7】 図6に続く本発明の第3の実施形態にかかるメモリセルの製造工程を示す断面図。

【図8】 図7に続く本発明の第3の実施形態にかかるメモリセルの製造工程を示す断面図。

【図9】 本発明の第4の実施形態にかかるメモリセル 30の製造工程を示す断面図。

18

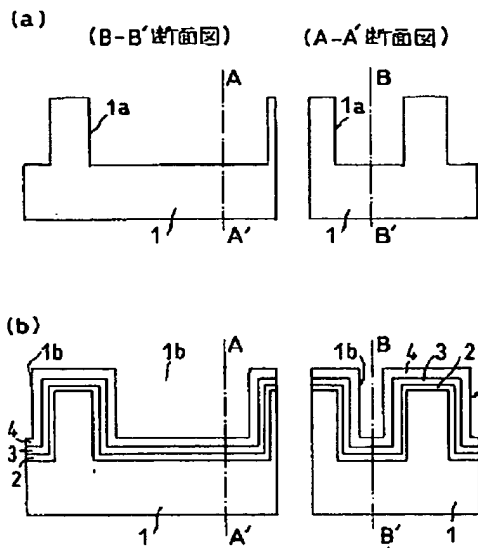
【図10】 図9に続く本発明の第4の実施形態にかかるメモリセルの製造工程を示す断面図。

【図11】 図10に続く本発明の第4の実施形態にかかるメモリセルの製造工程を示す断面図。

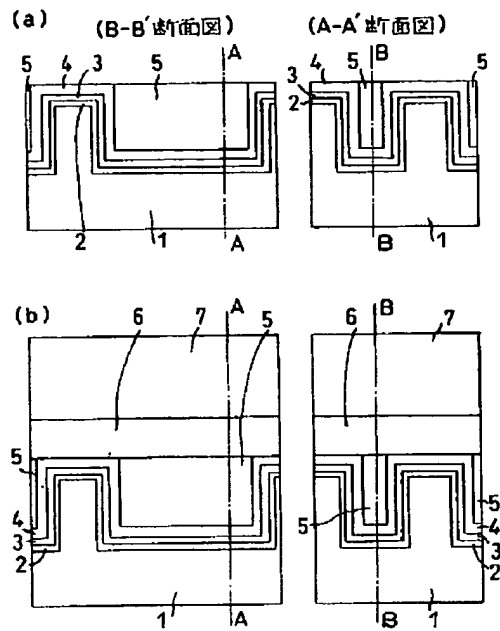
【符号の説明】

- 1、61、91…第1導電型半導体基板
- 2、62、92…バリア金属層
- 3…下部電極
- 4、64、94…誘電体薄膜
- 5…上部電極
- 6…貼り合わせ用絶縁膜
- 7…貼り合わせ用基板
- 8、9…素子間分離絶縁膜
- 10、11、100、101…キャパシタの上部電極とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ
- 12…側壁拡散層
- 13…ソース/ドレイン不純物拡散層
- 14…ゲート絶縁膜(酸化膜)
- 15a、15b…ワード線
- 15c…ワード線のキャップ絶縁膜
- 15d…ワード線の側壁絶縁膜
- 16a…ビット線とトランジスタのソース/ドレイン電極とを接続するためのコンタクトプラグ
- 16b…ビット線
- 16c…ビット線のキャップ絶縁膜
- 16d…ビット線の側壁絶縁膜
- 17、18…層間絶縁膜
- 65、93…電荷蓄積電極
- 63、95…プレート電極

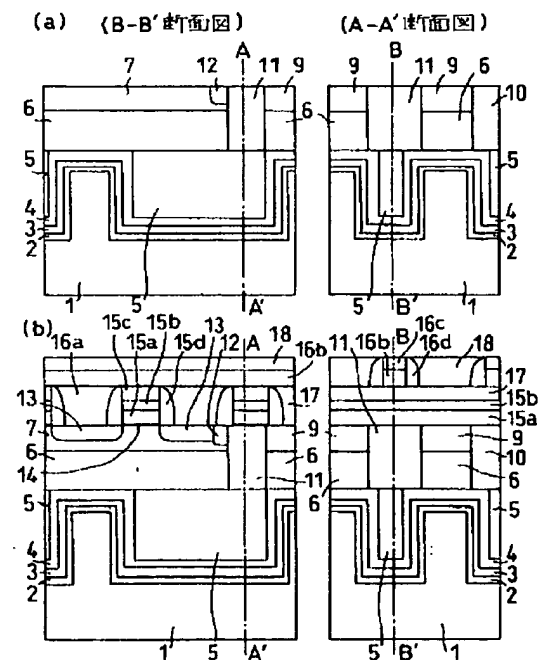
【図1】



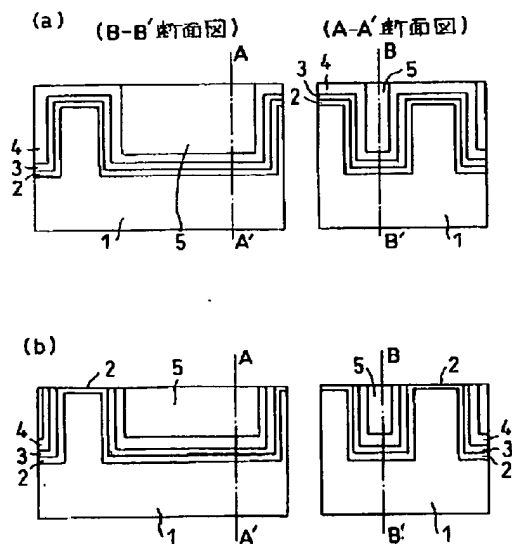
【図2】



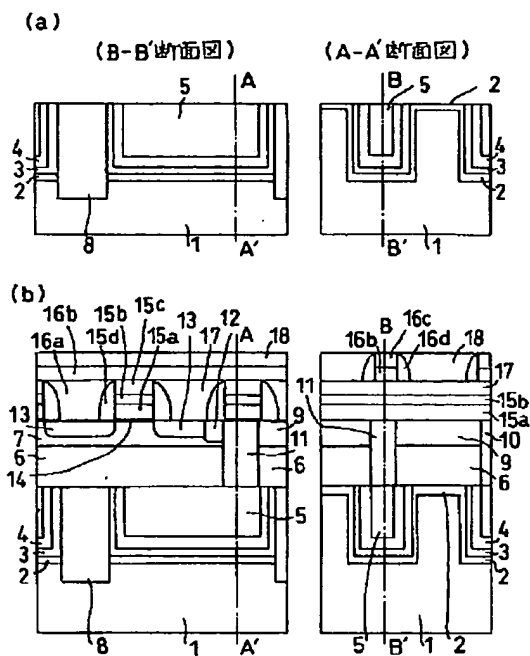
【図3】



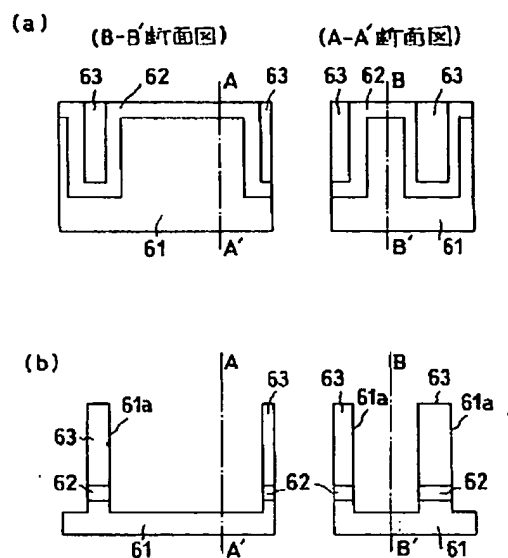
【図4】



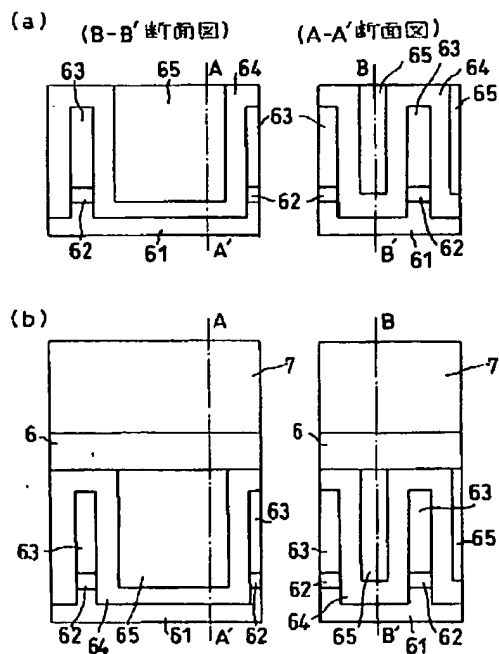
【図5】



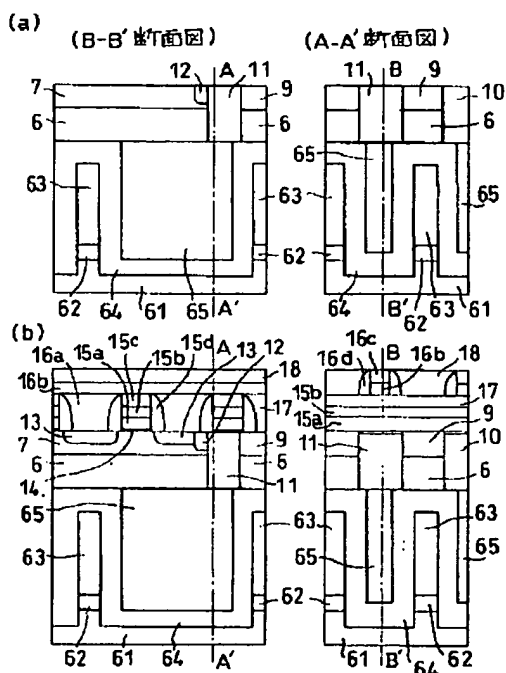
【図6】



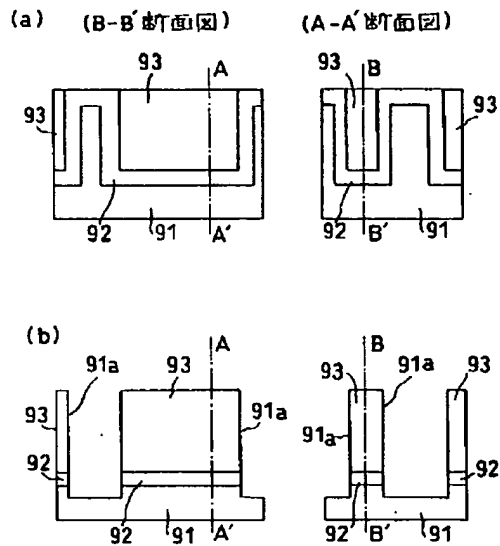
【図7】



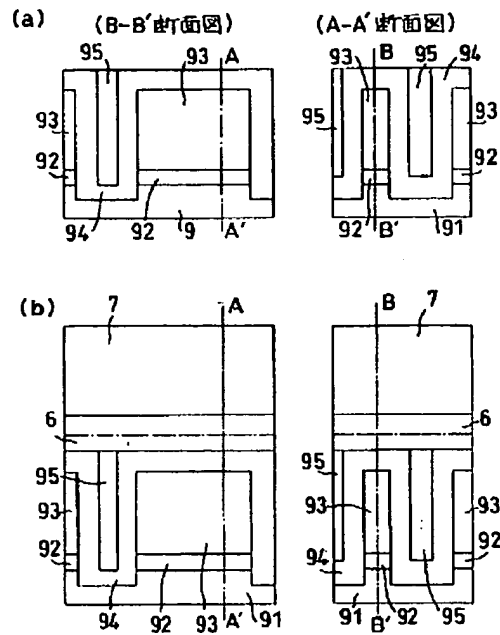
【図8】



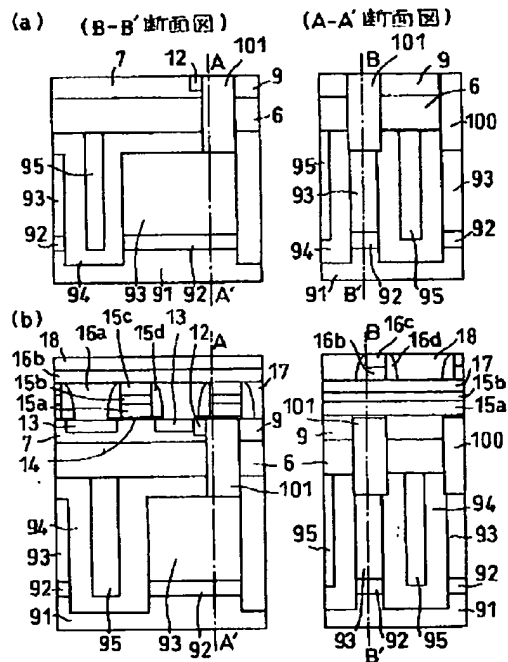
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.⁶
H01L 29/788
29/792

識別記号

F I

DOCUMENT-IDENTIFIER: JP 11097638 A

TITLE: SEMICONDUCTOR MEMORY AND MANUFACTURE OF THE SAME

FPAR:

SOLUTION: Using a first Si substrate 1, a trench surrounded by (100)

orientation for embedding a capacitor is formed by an etching method. Next,

(Ti, Al) N is epitaxially grown as a barrier metal layer 2.

Subsequently, as a

first electrode 3, SrRuO_3 (SRO) is epitaxially grown conformally. As a

second electrode 5, SRO is epitaxially grown and embedded in the trench. Next,

a groove is formed in a silicon layer 7 of a SOI substrate, and an insulating

film is embedded in the groove, thus forming a trench-isolated type element

isolation film (STI) 9. Using etching conditions based on this STI 9, a

source/drain impurity layer 13, word lines 15a and 15b and the like are formed,

thus producing a transistor.